

日 本 国 特 許 庁
JAPAN PATENT OFFICE

12.12.03

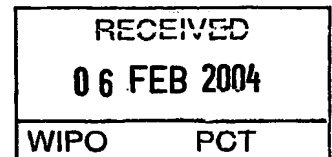
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年12月13日

出 願 番 号
Application Number: 特願2002-362392
[ST. 10/C]: [JP2002-362392]

出 願 人
Applicant(s): 株式会社アドバンテスト

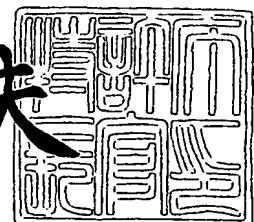


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 1月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 10665

【提出日】 平成14年12月13日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G01R 31/3183
H03K 5/13

【発明者】

【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
テスト内

【氏名】 千葉 宜明

【特許出願人】

【識別番号】 390005175

【氏名又は名称】 株式会社アドバンテスト

【代理人】

【識別番号】 100086759

【弁理士】

【氏名又は名称】 渡辺 喜平

【手数料の表示】

【予納台帳番号】 013619

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217310

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング発生回路とこのタイミング発生回路を備えた半導体試験装置

【特許請求の範囲】

【請求項 1】 所定のタイミングデータを格納したタイミングメモリと、前記タイミングメモリから出力されるタイミングデータをロードし、当該タイミングデータが示すタイミングでパルス信号を出力するカウンタと、を備えたタイミング発生回路であって、

前記タイミングメモリのメモリ領域を分割し、分割されたメモリ領域から出力される一又は複数のタイミングデータを選択し、選択された一又は複数のタイミングデータを前記カウンタにロードすることにより当該一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替手段を備えることを特徴とするタイミング発生回路。

【請求項 2】 前記ロードデータ切替手段が、切替により、前記タイミングメモリのメモリ領域をアドレス方向で分割し、分割されたメモリ領域から出力される複数の各タイミングデータをデータビット幅方向につなげて一のタイミングデータとして前記カウンタにロードする請求項 1 記載のタイミング発生回路。

【請求項 3】 前記ロードデータ切替手段が、切替により、前記タイミングメモリの一又は複数のアドレスを指定し、該当する一又は複数の各アドレスに格納された一又は複数のタイミングデータを出力させるアドレス選択回路と、

切替により、前記タイミングメモリから一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のカウンタにロードするとともに、前記タイミングメモリから複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のカウンタにロードすることにより、前記一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替回路と、を備える請求項 1 又は 2 記載のタイミング発生回路。

【請求項 4】 前記アドレス選択回路が、切替により、指定された 1 個のアドレスを分割することにより N 個（N は自然数）のアドレスを指定し、前記タイミングメモリから N 個のタイミングデータを出力させ、

前記ロード切替回路が、切替により、前記 N 個のタイミングデータをカスケードした N 個のカウンタにロードすることにより、N 個のタイミングデータで示される 1 個のタイミングのパルス信号を出力させる請求項 3 記載のタイミング発生回路。

【請求項 5】 前記ロードデータ切替手段が、

切替により、前記タイミングメモリのメモリ領域をデータビット幅方向で分割し、分割されたメモリ領域から出力される各タイミングデータのうちのタイミングデータを選択して前記カウンタにロードする請求項 1 記載のタイミング発生回路。

【請求項 6】 前記ロード切替手段が、

指定された前記タイミングメモリの一のアドレスに格納されたタイミングデータを複数のタイミングデータに分割し、切替により、分割された複数のタイミングデータを出力させ、又は分割された複数のタイミングデータのうちのタイミングデータを出力させるデータ分割回路と、

切替により、前記タイミングメモリから分割された複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のカウンタにロードするとともに、前記タイミングメモリから分割された一のタイミングデータが出力されるときには当該一のタイミングデータをそのままのカウンタにロードすることにより、前記分割された複数又は一のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替回路と、を備える請求項 1 又は 5 記載のタイミング発生回路。

【請求項 7】 前記データ分割回路が、指定された 1 個のアドレスに格納される 1 個のタイミングデータを N 個に分割して入力するとともに、当該 N 個に分割されたタイミングデータの一部又は全部を指定して出力させ、

前記ロード切替回路が、前記 N 個に分割された各タイミングデータを対応する N 個のカウンタにロードすることにより、一アドレスにつき N 個のタイミングデ

ータで示されるタイミングのパルス信号を出力させる請求項 6 記載のタイミング発生回路。

【請求項 8】 試験対象となる被試験デバイスに所定の試験パターン信号を入力し、この被試験デバイスから出力される応答出力信号を所定の期待値パターン信号と比較することにより、当該被試験デバイスの良否を判定する半導体試験装置であって、

前記試験パターン信号の基準クロック信号を所定時間遅延させた遅延クロック信号として出力するタイミング発生回路を備え、

このタイミング発生回路が、請求項 1 ～ 7 のいずれかに記載のタイミング発生回路であることを特徴とする半導体試験装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体試験装置において被試験デバイスに印加する信号波形のタイミング生成を行うタイミング発生回路（Timing Generator：TG）に関し、特に、所定のタイミングデータを格納したタイミングメモリの構成を変えることなく、タイミングエッジの最大遅延量を大きくしたり、タイミングセット（Timing Set：TS）数を増加させることができ、一種類のハードウェア構成により複数種類のTGを実現し、ローコストなデバイス測定が可能となる半導体試験装置に好適なタイミング発生回路に関する。

【 0 0 0 2 】

【従来の技術】

一般に、半導体試験装置は、試験対象となる半導体デバイス（Device Under Test：DUT）へ試験パターン信号を入力し、DUTから出力される応答信号を期待値パターン信号と比較してその一致、不一致を判定することによりDUTを試験している。

そして、このような半導体試験装置では、通常、DUTに対して所定のタイミングで試験信号を印加するために、DUTに印加する波形のタイミング生成を行うタイミング発生回路（TG）が備えられている（例えば、特許文献 1 - 3 参照

。) 。

図10は、従来の半導体試験装置に備えられているタイミング発生回路のタイミングエッジ生成部を示すブロック図である。

同図に示すように、従来のタイミング発生回路（タイミングエッジ生成部）は、所定のタイミングデータ（例えば基準クロックの遅延データ）を格納したタイミングメモリ（TMM）110と、タイミングデータが示す所定のタイミングでパルス信号を出力するためのダウンカウンタ120と、ダウンカウンタ120にロード信号を入力するカウンタロードイネーブル選択回路130を備えている。

【0003】

このような従来のタイミング発生回路では、タイミングメモリ110に格納されたタイミングデータがダウンカウンタ120にセットされるとともに、カウンタロードイネーブル選択回路130のロード信号によりセットされたタイミングデータがロードされることで、タイミングデータがダウンカウンタ120においてCLK信号に同期して1ずつ減数される。

そして、ダウンカウントされたタイミングデータが“0”になると、ダウンカウンタ120からパルス信号（“Allゼロ”信号）が出力される。このパルス信号が、図示しないパターン発生器等にタイミング信号として入力される。

【0004】

具体的に、このようなタイミング発生回路を半導体試験装置で実際に動作させる場合には、TMM10の列方向アドレス（図10に示すAdr:0～Adr:n-1）のいずれか1個を指定することにより、当該アドレスに格納されている行方向ビット幅（図10に示す例ではb0～bm-1のmビット）のデータをダウンカウンタ20にセットし、カウンタロードイネーブル選択回路130のロード信号によってタイミングデータをロードし、ダウンカウントさせることができる。

このようにして、従来のタイミング発生回路では、TMMに所望のタイミングを示すタイミングデータを格納することで、例えばCLK信号周期の任意の整数倍の遅延時間で示されるタイミング信号が発生できるようになっていた。

なお、タイミング発生回路は、通常、複数のダウンカウンタが備えられるようになっており、例えば図11に示すように、4相のダウンカウンタ120a～1

20dが備えられるようになっている。これにより、一のダウンカウンタにおいてあるタイミング信号のダウンカウントが行われている間に、次のタイミング信号を他のダウンカウンタにロードしてダウンカウントできるようになっている。

【0005】

【特許文献1】

特開平08-051346号公報（第2頁、第7図、第8図）

【特許文献2】

特開平10-319097号公報（第3頁、第5図）

【特許文献3】

特開平11-153654号公報（第2頁、第4図）

【0006】

【発明が解決しようとする課題】

以上のように、予め所定のタイミングデータを格納したTMMを備える従来のタイミング発生回路では、メモリ（TMM）の行方向ビット幅のタイミングデータを、メモリの列方向アドレス分のタイミングセット数だけ設定できるようになっている。

しかし、このようにTMMのビット幅（行方向）によって遅延量が決定される（例えば20ビット幅で16 μ s以下等）従来のタイミング発生回路では、それ以上に長い遅延量に対応させるためには、TMMのメモリ構成を変更し、行方向のビット幅を追加するとともに、次段のダウンカウンタの1相当りのビット数を追加する必要があった。

このため、遅延量を長くしようとすると、タイミングエッジ生成部の回路規模が莫大に増加してしまい、タイミング発生回路のゲートアレイコストが大きくなるという問題が発生した。

同様に、TMMに設定されるタイミングセット（TS）数についても、列方向のアドレス数に固定されており、メモリ構成を変えない限りタイミングセット数を増加させることができないという問題もあった。

【0007】

本発明は、このような従来の技術が有する問題を解決するために提案されたも

のであり、タイミングデータを格納したタイミングメモリの構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることができ、一種類のハードウェア構成により複数種類のTGを実現し、ローコストなデバイス測定が可能となるタイミング発生回路及びこのタイミング発生回路を備える半導体試験装置の提供を目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本発明のタイミング発生回路は、請求項1に記載するように、所定のタイミングデータを格納したタイミングメモリと、前記タイミングメモリから出力されるタイミングデータをロードし、当該タイミングデータが示すタイミングでパルス信号を出力するカウンタと、を備えたタイミング発生回路であって、前記タイミングメモリのメモリ領域を分割し、分割されたメモリ領域から出力される一又は複数のタイミングデータを選択し、選択された一又は複数のタイミングデータを前記カウンタにロードすることにより当該一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替手段を備える構成としてある。

【0009】

このような構成からなる本発明のタイミング発生回路によれば、ロードデータ切替手段により、所定のタイミングデータを格納したタイミングメモリのメモリ領域をアドレス方向（メモリ列方向）やデータのビット幅方向（メモリ行方向）に分割することができる。そして、分割されたタイミングデータを選択してカウンタにロードすることにより、分割された一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させることができる。

これにより、タイミングメモリの回路構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることが可能となり、各ICテスト（半導体試験装置）に最適な機能を備えたタイミング発生回路を低コストで容易に得ることができ、汎用性、拡張性に優れたタイミング発生回路を実現することができる。

【0010】

そして、請求項2記載のタイミング発生回路では、前記ロードデータ切替手段が、切替により、前記タイミングメモリのメモリ領域をアドレス方向で分割し、分割されたメモリ領域から出力される複数の各タイミングデータをデータビット幅方向につなげて一のタイミングデータとして前記カウンタにロードする構成としてある。

【0011】

具体的には、請求項3では、前記ロードデータ切替手段が、切替により前記タイミングメモリの一又は複数のアドレスを指定し、該当する一又は複数の各アドレスに格納された一又は複数のタイミングデータを出力させるアドレス選択回路と、切替により、前記タイミングメモリから一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のカウンタにロードするとともに、前記タイミングメモリから複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のカウンタにロードすることにより、前記一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替回路と、を備える構成としてある。

【0012】

さらに、請求項4では、前記アドレス選択回路が、切替により、指定された1個のアドレスを分割することによりN個（Nは自然数）のアドレスを指定し、前記タイミングメモリからN個のタイミングデータを出力させ、前記ロード切替回路が、切替により、前記N個のタイミングデータをカスケードしたN個のカウンタにロードすることにより、N個のタイミングデータで示される1個のタイミングのパルス信号を出力させる構成としてある。

【0013】

このような構成からなる本発明のタイミング発生回路によれば、タイミングメモリのメモリ領域をアドレス方向に分割することができ、一のアドレスを指定して複数のタイミングデータを出力させることができる。

そして、この複数のタイミングデータをカウンタにカスケードにロードすることにより、例えばビット幅が2倍のタイミングデータが示すタイミングでパルス信号を出力させることができる。

これにより、タイミングメモリの回路構成を変えることなく、最大遅延量を大きくすることができ、各 IC テスタに最適な最大遅延量を低コストで容易に得ることができる。

【0014】

一方、請求項 5 記載のタイミング発生回路では、前記ロードデータ切替手段が、切替により、前記タイミングメモリのメモリ領域をデータビット幅方向で分割し、分割されたメモリ領域から出力される各タイミングデータのうちのタイミングデータを選択して前記カウンタにロードする構成としてある。

【0015】

具体的には、請求項 6 では、前記ロード切替手段が、指定された前記タイミングメモリの一のアドレスに格納されたタイミングデータを複数のタイミングデータに分割し、切替により、分割された複数のタイミングデータを出力させ、又は分割された複数のタイミングデータのうちのタイミングデータを出力させるデータ分割回路と、切替により、前記タイミングメモリから分割された複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のカウンタにロードするとともに、前記タイミングメモリから分割された一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のカウンタにロードすることにより、前記分割された複数又は一のタイミングデータで示される一のタイミングのパルス信号を出力させるロードデータ切替回路と、を備える構成としてある。

【0016】

また特に、請求項 7 では、前記データ分割回路が、指定された 1 個のアドレスに格納される 1 個のタイミングデータを N 個に分割して入力するとともに、当該 N 個に分割されたタイミングデータの一部又は全部を指定して出力させ、前記ロード切替回路が、前記 N 個に分割された各タイミングデータを対応する N 個のカウンタにロードすることにより、一アドレスにつき N 個のタイミングデータで示されるタイミングのパルス信号を出力させる構成としてある。

【0017】

このような構成からなる本発明のタイミング発生回路によれば、タイミングメ

モリのメモリ領域をデータのビット幅方向に分割することができ、一のタイミングデータから複数のタイミングデータを出力させることができる。

そして、この複数のタイミングデータの中から一のタイミングデータを選択することにより、例えばアドレス深さが2倍のデータセット数のタイミングデータを出力させることができる。

これにより、タイミングメモリの回路構成を変えることなく、タイミングセット数を増加させることができ、各ICテストに最適なタイミングセット数を備えたタイミング発生回路を低コストで容易に得ることができる。

【0018】

そして、本発明に係るタイミング発生回路を備えた半導体試験装置は、請求項8に記載するように、試験対象となる被試験デバイスに所定の試験パターン信号を入力し、この被試験デバイスから出力される応答出力信号を所定の期待値パターン信号と比較することにより、当該被試験デバイスの良否を判定する半導体試験装置であって、前記試験パターン信号の基準クロック信号を所定時間遅延させた遅延クロック信号として出力するタイミング発生回路を備え、このタイミング発生回路が請求項1～7のいずれかに記載のタイミング発生回路である構成としてある。

【0019】

このような構成からなる本発明のタイミング発生回路を備えた半導体試験装置によれば、タイミングメモリに格納されたタイミングデータは、本発明に係るタイミング発生回路によって、所定のタイミングデータを格納したタイミングメモリのメモリ領域がアドレス方向（メモリ列方向）やデータのビット幅方向（メモリ行方向）に分割される。そして、分割されたタイミングデータが組み合わせられて所定の遅延量やタイミングセット数のタイミングデータとして取得され、所望のタイミングを示すパルス信号として出力されることになる。

これにより、タイミングメモリの回路構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることができ、試験対象となる各ICに最適なタイミングデータを低コストで容易に得ることが可能となる、汎用性、拡張性に優れた半導体試験装置を実現することができる。

【0020】

【発明の実施の形態】

以下、図面を参照して、本発明に係るタイミング発生回路の好ましい実施形態について説明する。

[第一実施形態]

まず、本発明のタイミング発生回路の第一実施形態について、図1～図4を参照して説明する。

図1は、本発明の第一実施形態に係るタイミング発生回路のタイミングエッジ生成部を示す回路ブロック図である。

図2は、図1に示すタイミングエッジ生成部のタイミングメモリにおけるタイミングデータ長の切替えを概念的に示す説明図である。

図3は、図1に示すタイミングエッジ生成部のダウンカウンタの詳細を示す回路ブロック図である。

【0021】

これらの図に示す本実施形態のタイミング発生回路（タイミングエッジ生成部）は、図示しない半導体試験装置に備えられるようになっている。

半導体試験装置は、試験対象となる半導体デバイス（DUT）へ試験パターン信号を入力し、DUTから出力される応答出力信号を所定の期待値パターン信号と比較してその一致、不一致を判定することでDUTの試験を行う装置である。

そして、このような半導体試験装置には、DUTに対して所定のタイミングで試験信号を印加するために、DUTに印加する波形のタイミング生成を行うタイミング発生回路（TG）が備えられ、このTGとして、本実施形態に係るTG（タイミング発生回路）が備えられるようになっている。

【0022】

図1に示すように、本実施形態のTGは、上述した従来のTGと同様、所定のタイミングデータ（例えば試験信号の基準クロックの遅延データ等）を格納したタイミングメモリ（TMM）10と、TMM10から出力されるタイミングデータをロードし、タイミングデータが示すタイミングでパルス信号を出力する複数のダウンカウンタ20と、ダウンカウンタ20にロード信号を入力するカウンタ

ロードイネーブル選択回路 30 を備えている。

TMM10 は、図 2 (a) に示すように、例えば総ビット数 $m \times n$ の複数ビット出力 (m ビット) メモリからなり、 m ビット ($b_{m-1} \sim b_0$) のタイミングデータが各アドレス (Adr: $0 \sim \text{Adr}: n-1$) に格納できるようになっている。

そして、この TMM10 のメモリ領域が後述するロードデータ切替手段により分割できるようになっており、図 2 (b) に示すように、タイミングデータをデータビット幅方向につなげて、一のタイミングデータとしてより遅延量の大きいデータを次段のダウンカウンタ 20 にロードできるようになっている。

【0023】

ダウンカウンタ 20 は、TMM10 から出力されるタイミングデータがセットされる m ビットダウンカウンタからなり、カウンタロードイネーブル選択回路 30 のロード信号によってセットされたタイミングデータがロードされることにより、タイミングデータが示す値を CLK 信号に同期して 1 ずつ減数 (ダウンカウント) する。

そして、ダウンカウントされたタイミングデータが “0” になると、ダウンカウンタ 20 はパルス信号 (“A11ゼロ” 信号) を出力する。このパルス信号が図示しないパターン発生器等にタイミング信号として入力されて、CLK 信号周期の任意の整数倍の遅延時間で示されるタイミング信号が発生されることになる。

【0024】

ここで、本実施形態の TG では、上述した従来の TG と同様、ダウンカウンタ 20 が複数備えられるようになっており、図 1 に示す例では、4 相のダウンカウンタ 20a ~ 20d が備えられるようになっている (図 3 参照)。そして、4 相のダウンカウンタ 20a ~ 20d の出力側には 4 入力の OR ゲート 23 が備えられ、4 相のダウンカウンタ 20a ~ 20d からのパルス信号が順次取り込まれるようになっている。

このように複数のダウンカウンタ 20a ~ 20n を備えることで、一のダウンカウンタにおいてあるタイミング信号のダウンカウントが行われている間に、次のタイミング信号を他のダウンカウンタにロードしてダウンカウントすることが

できる。

【0025】

さらに、本実施形態では、複数（4相）のダウンカウンタ20a～20dは、ロードデータ切替回路50（後述）を介して、モード信号の切替により、4個のダウンカウンタ20a～20dを2個ずつカスケード（20aと20b、20cと20d）できるようになっている。

具体的には、図3に示すように、1相目のダウンカウンタ20aのCOは、モード信号の切替により2相目のダウンカウンタ20bのCIに入力されて両カウンタ20a、20bはカスケードされる。同様に、3相目のダウンカウンタ20cのCOは、モード信号の切替により4相目のダウンカウンタ20dのCIに入力されて、両カウンタ20c、20dはカスケードされる。

このようにカスケードされた2個のダウンカウンタ20a、20b又は20c、20dにTMM10から2個のタイミングデータがロードされることにより、2個のタイミングデータで示される一のタイミングのパルス信号を出力できるようになっている。

【0026】

カスケードされる2個のダウンカウンタ20a、20b（又は20c、20d）の出力側には、図3に示すように、ANDゲート25a（又は25b）が備えられ、2個のタイミングデータで示される一のタイミングのパルス信号が出力されるようになる。また、図3のように、カスケードされる二組のダウンカウンタ20a、20b及び20c、20dの出力側には2入力のORゲート24が備えられ、二組のダウンカウンタ20a、20b及び20c、20dからのパルス信号が順次取り込まれるようになっている。

これにより、本実施形態のダウンカウンタ20では、2個のタイミングデータをデータビット幅方向につなげて、より大きい遅延量を示すパルス信号を出力することができる。

【0027】

そして、本実施形態では、TMM10のメモリ領域を分割し、分割されたメモリ領域から出力される一又は複数のタイミングデータを選択し、選択された一又

は複数のタイミングデータを複数のダウンカウンタ 20 にロードすることにより、ロードされた一又は複数のタイミングデータで示される一のタイミングでパルス信号を出力させるロードデータ切替手段を備えている。

ロードデータ切替手段は、モード信号の切替（“H” 又は “L”）により、TMM10 のメモリ領域をアドレス方向で分割し、分割されたメモリ領域から出力される複数の各タイミングデータをデータビット幅方向につなげて（図 2 参照）、一のタイミングデータとしてダウンカウンタ 20 にロードする手段である。

具体的には、本実施形態のロードデータ切替手段は、図 1 及び図 3 に示すように、アドレス選択回路 40 と、ロードデータ切替回路 50、及びタイミングデータ選択回路 60 を備えて構成されている。

【0028】

アドレス選択回路 40 は、切替により、TMM10 の一又は複数のアドレスを指定し、該当する一又は複数の各アドレスに格納された一又は複数のタイミングデータを出力させるようになっている。

本実施形態では、アドレス選択回路 40 は、図 1 に示すように、モード信号の切替により、指定された 1 個のアドレスを分割することにより N 個（N は自然数）のアドレスを指定し、タイミングメモリから N 個のタイミングデータを出力させるようになっている。

より具体的には、アドレス選択回路 40 は、モード信号の切替により、TMM10 のアドレスを 1 個又は 2 個指定し、該当するアドレスから 1 個又は 2 個のタイミングデータを出力させるようになっている。

【0029】

本実施形態では、モード信号 “H”（“1”）を入力することにより有効アドレスを 1/2 にし、2 個のアドレスを同時にイネーブルにすることで、1 個のアドレスを 2 個のアドレスに分割するようになっている。

このように有効アドレスを 1/2 にして 1 個のアドレスを 2 個のアドレスに分割するには、アドレスの MSB を “H” 又は “L” に切り替えるセクタを設けることで容易に実現することができる。

なお、アドレス選択回路 40 は、モード信号 “L”（“0”）を入力したとき

には、同一のアドレスが2個指定されることになる。

【0030】

ロードデータ切替回路50は、切替により、TMM10から一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のダウンカウンタ20にロードするとともに、TMM10から複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のダウンカウンタ20にロードすることにより、一又は複数のタイミングデータで示される一のタイミングのパルス信号を出力させるようになっている。

具体的には、ロードデータ切替回路50は、アドレス選択回路40に入力されるのと同じモード信号の切替により、N個（2個）のタイミングデータを、カスケードしたN個（2個）のダウンカウンタ20a～20nにロードして、N個（2個）のタイミングデータで示される1個のタイミングのパルス信号を出力させるようになっている。

【0031】

本実施形態では、図3に示すように、ロードデータ切替回路50はモード信号で切り替えられる3個のセクタ50a、50b、50cからなっている。

セクタ50a～50cは、TMM10から2個のタイミングデータが出力されるときには、モード信号“H”（“1”）が入力されて、次段の4個のダウンカウンタ20a～20dを2個ずつカスケードに接続し（20aと20b、20bと20d）、当該2個のタイミングデータを、カスケードされた各ダウンカウンタ20a及び20b、ダウンカウンタ20c及び20dにロードして、一のタイミングのパルス信号を出力させる。

一方、TMM10から1個のタイミングデータが出力される場合には、モード信号“L”（“0”）が入力されて、1相目のカウンタ50aを介して、当該1個のタイミングデータが4個のダウンカウンタ20a～20dに順次所定のタイミングでセットされるようになる。この場合には、ダウンカウンタ20a～20dは、上述した従来のTGの場合と同様に動作することになる（図10、図11参照）。

【0032】

タイミングデータ選択回路60は、ロードデータ切替回路50と、ダウンカウンタ20から出力される1個又は2個のタイミングデータに基づくパルス信号のいずれかを選択するようになっている。

具体的には、タイミングデータ選択回路60は、アドレス選択回路40、ロードデータ切替回路50にされるのと同じモード信号によって切替可能なセレクタからなり、モード信号“L”(“0”)のときには、4相の各ダウンカウンタ20a~20dから順次出力されるパルス信号を選択、出力する。モード信号“H”(“1”)のときには、カスケードされた2個のダウンカウンタ20a, 20b及び20c, 20dから出力されるパルス信号を選択、出力する。

【0033】

次に、以上のような構成からなる本実施形態に係るタイミング発生回路の動作について、図面を参照しつつ説明する。

本実施形態では、TMM10のメモリ領域をそのまま使用してメモリの通常のビット幅のタイミングデータを格納、出力させる場合(標準遅延モード)はモード信号を“L”に切り替え、TMM10のメモリ領域を分割して2個のデータをつなげてより遅延量の大きいデータを出力させる場合(長遅延モード)はモード信号を“H”に切り替える。

モード切替は半導体試験装置を使用するユーザ等が、試験する半導体等に応じて任意に選択し、予め切り替えることができる。

【0034】

[標準遅延モード]

まず、TMM10のメモリ領域をそのまま使用する標準遅延モードの場合は、モード信号を“L”に設定する。なお、この場合には、本実施形態のTGは上述した従来のTGと同様に使用できることになる(図10, 図11参照)。

アドレス選択回路40は、モード信号“L”が入ると有効アドレスを1/2にすることなく、TMM10の1個(同一)のアドレスをイネーブルするので、指定した1個のアドレス(図1に示すADR A又はADR B)に対して所望のタイミングデータ(図1に示すmビットのWDT)を格納し出力させることができる。

TMM10からはmビットのデータ（図1に示すDOUT A又はDOUT B）が出力され、当該mビットのデータが次段のロードデータ切替回路50及びダウンカウンタ20a～20dに入力される。

具体的には、図3に示すように、タイミングデータ（図3に示す $D<m-1, \dots, 0>$ ）は、そのまま1相目のダウンカウンタ20aと3相目のダウンカウンタ20cにセットされるとともに、同一のデータ（図3に示す $D<m-1, \dots, 0>$ ）がロードデータ切替回路50のセクタ50aを介して2相目のダウンカウンタ20bと4相目のダウンカウンタ20dにセットされる。

【0035】

各ダウンカウンタ20a～20dにセットされたタイミングデータは、カウンタロードイネーブル選択回路30のロード信号によりロードされることで、各ダウンカウンタ20a～20dでCLK信号に同期して1ずつ減数される。

そして、ダウンカウントされたタイミングデータが“0”になると、各ダウンカウンタ20a～20dからパルス信号（“Allゼロ”信号）が出力され、ORゲート23を介してタイミングデータ選択回路60で選択される。このパルス信号が、図示しないパターン発生器等にタイミング信号として入力される。

このように標準遅延モードでは、図4の表に示すように、TMM10のメモリ領域（図2に示すメモリでは $n \times m$ ）がそのまま使用されてデータが格納、出力されることになるので、使用できるタイミングデータはmビット幅のデータがnセットとなる。

また、ダウンカウンタ20a～20dは、mビットダウンカウンタが4相使用され、最大のタイミング遅延は $[\text{SysCLK}(2^m-1), m=1 \dots m]$ となる。

【0036】

[長遅延モード]

次に、TMM10のメモリ領域を分割してより遅延量の大きいデータを使用する長遅延モードの場合は、モード信号を“H”に設定する。

アドレス選択回路40は、モード信号“H”が入ると有効アドレスを1/2にして、TMM10の2個のアドレスをイネーブルする。これにより、指定した2

個のアドレス（図1に示すADR A及びADR B）に対して所望のタイミングデータ（図1に示すmビットのWD T）を格納し出力させることができる。

これにより、TMM10からは2個のアドレスからそれぞれタイミングデータが出力され（図1に示すDOUT A及びDOUT B）、2個のmビットのデータが次段のロードデータ切替回路50及びダウンカウンタ20a～20dに入力される。

具体的には、図3に示すように、2個のmビットのタイミングデータのうち、一方のmビットのデータ（図3に示す $D<m-1 \dots 0>$ ）がそのまま1相目のダウンカウンタ20aと3相目のダウンカウンタ20cにセットされる。

2個のmビットのタイミングデータのうち、もう一方のmビットのデータ（図3に示す $D<2m-1 \dots m>$ ）は、ロードデータ切替回路50のセクタ50aに入力され、セクタ50aを介して2相目のダウンカウンタ20bと4相目のダウンカウンタ20dにセットされる。

【0037】

そして、各ダウンカウンタ20a～20dは、図3に示すように、モード信号“H”が入ること、1相目のダウンカウンタ20aのCOが2相目のダウンカウンタ20bのCIに入力され、同様に3相目のダウンカウンタ20cのCOが4相目のダウンカウンタ20dのCIに入力され、ダウンカウンタ20a、20b及びダウンカウンタ20c、20dがカスケードされる。

これにより、2個のタイミングデータがデータのビット幅方向につながれることになり、タイミングデータは、ビット幅が標準遅延モードのビット幅（mビット）の2倍（2mビット）となる。

すなわち、各ダウンカウンタ20a～20dにセットされたタイミングデータがカウンタロードイネーブル選択回路30のロード信号によりロードされることで、2個のタイミングデータがカスケードされた2個のダウンカウンタ20a、20b（又は20c、20d）でダウンカウントされる。これにより、標準遅延モードの2倍のビット幅で示される長遅延データをカウントすることができる。

【0038】

その後は、標準遅延モードの場合と同様、ダウンカウントされたタイミングデータが“0”になると、各ダウンカウンタ20a、20b及び20c、20dか

らパルス信号（“Allゼロ”信号）が出力され、これがANDゲート25a, 25b及びORゲート24を介してタイミングデータ選択回路60で選択される。このパルス信号が、図示しないパターン発生器等にタイミング信号として入力される。

このような長遅延モードでは、図4の表に示すように、TMM10のメモリ領域を組み合わせた状態でデータが格納、出力されることになるので（ $n/2 \times 2m$ ）、使用できるタイミングデータは2mビット幅のデータが $n/2$ セットとなる。

また、ダウンカウンタ20a～20dは、2個のダウンカウンタ20a, 20b（又は20c, 20d）がカスケードされるので、2mビットダウンカウンタが2相使用されることになり、最大のタイミング遅延は $[\text{SysCLK}(2^M - 1), 1 \leq M \leq 2m]$ となる。

【0039】

このようにして本実施形態のタイミング発生回路では、総ビット数 $m \times n$ の複数ビット（mビット）出力メモリ（TMM10）へのアクセスとして、複数のアドレスを一つのアドレスでアクセスし、メモリセル数の増減を必要とすることなく、切替可能なフレキシブルな構成をモード信号という最小限の制御信号（モード信号は少なくとも一本）とセレクタ回路で切替可能とすることができ、一つのメモリ構成（ $m \times n$ ）で実質的に複数のメモリ構成を実現することができる。

これにより、従来のICテスト（半導体試験装置）と同様のメモリ構成のTS数、タイミングエッジ最大遅延のTGを使用して、従来と同様のデバイスを試験できるだけでなく、従来のTGでは不可能であったローコストなデバイス測定も可能となる。

【0040】

すなわち、本実施形態のTGによれば、複数種類のTS数、タイミング最大遅延量を有する、特性の異なるTGを一体的に共存させて、従来と同様の回路規模で複数種のTG回路を実現することができる。

また、このように従来のTG回路をそのまま使用して回路規模の増加を大幅に抑制しながら容易に異種TGを混在させることができる本実施形態のTGでは、

あらゆる IC テスタで容易に実現が可能となる。このため、顧客毎に機能の最適化の実現をローコストで実現できるため、特にローエンド向け IC テスタにおいて非常に有益な TG として提供することができる。

なお、本実施形態では、従来 TG と比較して（図 10 参照）、システムバスのデータビット幅を m ビットから 2 m ビットにする必要があるが、これはデータビットが許容される範囲内で実現可能であり、また、回路構成により m ビット以上にすることが困難な場合には、TMM 10 へのタイミングデータの書き込みを、システムバスインターフェイスが二度書き込みにいけば良く、回路規模の増大とはならない。

【0041】

以上説明したように、本実施形態に係るタイミング発生回路によれば、TMM 10 のメモリ領域をアドレス方向に分割して、一のアドレスを指定して複数のタイミングデータを出力させることができる。

そして、この複数のタイミングデータをダウンカウンタ 20 にカスケードにロードすることにより、例えばビット幅が 2 倍のタイミングデータで示される長遅延のタイミングでパルス信号を出力させることができる。

これにより、TMM 10 の回路規模を増大させることなく、最大遅延量を大きくすることができ、IC テスタに最適な最大遅延量を低コストで容易に得ることができる。

【0042】

〔第二実施形態〕

次に、本発明のタイミング発生回路の第二実施形態について、図 5 ～ 図 7 を参照して説明する。

図 5 は、本発明の第二実施形態に係るタイミング発生回路のタイミングメモリにおけるタイミングセット数の切替えを概念的に示す説明図である。

図 6 は、本実施形態に係るタイミング発生回路のタイミングメモリの内部構成を示す回路ブロック図である。

図 7 は、本実施形態に係るタイミング発生回路のダウンカウンタの詳細を示す回路ブロック図である。

【0043】

これらの図に示す本実施形態のTGは、上述した第一実施形態の変更実施形態であり、第一実施形態のTGがTMM10のメモリ領域をアドレス方向で分割して複数のタイミングデータをデータビット幅方向につなげていたのに対して（図2参照）、本実施形態では、TMM10のメモリ領域をデータビット幅方向で分割することにより、使用できるタイミングデータのTS数を増加できるようにしたものである。

すなわち、本実施形態のTGは、TMM10のメモリ領域の分割方向（アドレス方向かデータビット幅方向か）を除いては、基本的に第一実施形態で示したTG及び半導体試験装置と同様の構成とすることができる。従って、同様の構成部分については適宜同一符号を付して詳細な説明は省略する。

【0044】

図5に示すように、本実施形態では、ロードデータ切替手段が、切替により、TMM10のメモリ領域をデータビット幅方向で分割し、分割されたメモリ領域から出力される各タイミングデータのうちのタイミングデータを選択してダウンカウンタ20にロードする構成になっており、これによって、TMM10のメモリ構成を変えることなく、使用できるタイミングデータのセット数（TS数）が増加できるようになっている。

具体的には、本実施形態のロード切替手段は、図6に示すデータ分割回路70と、図7に示すロードデータ切替回路50、及びタイミングデータ選択回路60（図示省略）を備えて構成されている。

【0045】

本実施形態のTMM10は、図6に示すように、メモリ領域がデータビット幅方向で2分割され、MSB側のメモリ10aとLSB側のメモリ10bとで構成されている。そして、この2分割されたTMM10の両メモリ10a, 10bにデータ分割回路70を介してデータが書き込まれ、1個又は2個のタイミングデータが読み出されるようになっている。

データ分割回路70は、指定されたTMM10の一のアドレスに格納されたタイミングデータを複数のタイミングデータに分割し、切替により、分割された複

数のタイミングデータを出力させ、又は分割された複数のタイミングデータのうちのタイミングデータを出力させるようになっている。

【0046】

本実施形態では、データ分割回路70は、指定された1個のアドレスに格納される1個のタイミングデータをN個（Nは自然数）に分割して入力するとともに、当該N個に分割されたタイミングデータの一部又は全部を指定して出力させるようになっている。

ここで、データビット幅方向に分割して各分割データにアドレスを割り当てようとすると、必要となるアドレスビット数は下記の式で示すようになる。

アドレス数： $n = 2^x$

必要アドレスビット数： $x = \log_2 n$

本実施形態では、データビット幅方向にデータを2分割しているので、アドレス値を1ビット増加させることで対応できるようになる。このように、本実施形態におけるアドレス値のMSB（図6に示す $\text{Adr} < x - 1 >$ ）は、タイミングデータが分割された場合に各データのアドレスを示す場合にだけ使用されるアドレスビットとなる。

このようなデータ分割回路70によれば、必要となる最大アドレス数に応じたアドレスビット数を予め用意することで、2分割以上の任意の分割数に対応することが可能となる。

【0047】

具体的には、データ分割回路70は、MSB側セクタ70aとLSB側セクタ70bの2個のセクタを備えている。

MSB側セクタ70aは、モード信号の切替により、指定されたTMM10の1個のアドレス値のMSBが“H”（“1”）のときに、当該アドレスのMSB側のメモリ10aを書き込みイネーブルにする。

LSB側セクタ70bは、アドレス値のMSBが“L”（“0”）のときに、当該LSB側のメモリ10bを書き込みイネーブルにする。

また、データ分割回路70は、セクタ71を備えている。

このセクタ71は、モード信号の切替により、TMM10に書き込まれる所

定のビット幅のタイミングデータ（図6では $b_{m-1} \sim b_0$ の m ビット）のうち、MSB側の半分のデータ（図6では $b_{m-1} \sim b_{m/2}$ の $m/2$ ビット）又はLSB側の半分のデータを（図6では $b_{m/2-1} \sim b_0$ の $m/2$ ビット）をTMM10のMSB側のメモリ10aに書き込むようになっている。

【0048】

まず、2個のセクタ70a, 70bは、モード信号が“L”（“0”）のときは、指定されたアドレス（図6に示す $\text{Adr} \langle x-1 \dots 0 \rangle$ ）のMSBの値（図6に示す $\text{Adr} \langle x-1 \rangle$ ）に拘わらず、両メモリ10a, 10bの有効アドレスをイネーブルする。

また、セクタ71は、モード信号が“L”（“0”）のときは、1個のタイミングデータのMSB側半分のデータ（図6では $b_{m-1} \sim b_{m/2}$ の $m/2$ ビット）をTMM10のMSB側のメモリ10aに書き込む。このとき、LSB側半分のデータ（図6では $b_{m/2-1} \sim b_0$ の $m/2$ ビット）は、TMM10のLSB側のメモリ10bに書き込まれる。

従って、モード信号“L”（“0”）の場合には、TMM10は、通常のビット幅（図6では m ビット）のデータ幅を持つ、通常のアドレス数（図6では深さ $x-1$ ）を持つTMMとして機能する。なお、このモード“L”（“0”）の場合には、アドレス値のMSB（図6では $\text{Adr} \langle x-1 \rangle$ ）は無視されて使用されないことになる。

【0049】

一方、モード信号が“H”（“1”）のときは、2個のセクタ70a, 70bが、指定されたアドレス（図6に示す $\text{Adr} \langle x-1 \dots 0 \rangle$ ）のMSBの値（図6に示す $\text{Adr} \langle x-1 \rangle$ ）に応じてイネーブルする有効アドレスを切り替える。

まず、指定されたアドレスのMSBが“H”（“1”）のときは、MSB側セクタ70aを介して、TMM10の当該アドレスのMSB側メモリ10aが書き込みイネーブル（WE）となる。

一方、指定されたアドレス値のMSBが“L”（“0”）のときは、LSB側セクタ70bを介して、TMM10の当該アドレスのLSB側メモリ10bが

書き込みイネーブル (WE) となる。

そして、セクタ 71 は、モード信号が “H” (“1”) のときは、1 個のタイミングデータの LSB 側半分のデータ (図 6 では $b_m/2 - 1 \sim b_0$ の $m/2$ ビット) を TMM10 の MSB 側及び LSB 側メモリ 10a, 10b に書き込む。

従って、モード信号 “H” (“1”) の場合には、TMM10 は、通常の半分のビット幅 (図 6 では $m/2$ ビット) のデータ幅を持つ、通常の 2 倍のアドレス数 (図 6 では深さ $2x - 2$) を持つ TMM として機能する。なお、このモード “H” (“1”) では、MSB 側半分のデータ (図 6 では $b_{m-1} \sim b_{m/2}$ の $m/2$ ビット) は無視されて使用されないことになる。

【0050】

ロードデータ切替回路 50 は、切替により、TMM10 から分割された複数のタイミングデータが出力されるときには当該複数のタイミングデータをカスケードした複数のダウンカウンタ 20 にロードするとともに、TMM10 から分割された一のタイミングデータが出力されるときには当該一のタイミングデータをそのまま一のダウンカウンタ 20 にロードすることにより、分割された複数又は一のタイミングデータで示される一のタイミングのパルス信号を出力させるようになっている。

具体的には、ロード切替回路 50 は、データ分割回路 70 に入力されるのと同じモード信号の切替により、N 個 (2 個) に分割された各タイミングデータに対応する N 個 (2 個) のダウンカウンタ 20a ~ 20n にロードすることにより、一アドレスにつき N 個 (2 個) のタイミングデータで示されるタイミングのパルス信号を出力させるようになっている。

【0051】

本実施形態では、第一実施形態の場合と同様に、TMM10 から出力されるタイミングデータがセットされる m ビットのダウンカウンタ 20 が任意の N 相備えられており (ダウンカウンタ 20a ~ 20n)、ロード切替回路 50 は、この任意の N 相の m ビットダウンカウンタ 20a ~ 20n に、TMM10 からの分割して出力されるタイミングデータ (図 7 に示す DOUT

MSBとDOUT LSB)のうち、MSB側(図7に示すDOUT MSB)をダウンカウンタ20のデータ入力に接続する。

具体的には、MODEが立っていないとき、すなわちモード信号“L”(“0”)のときは、TMM10のタイミングデータの有効ビットは通常のビット幅(mビット)なので、ロード切替回路50はMSB側のタイミングデータ(図7に示すDOUT

MSB)をダウンカウンタ20a~20nにセットする。このとき、LSB側のタイミングデータ(図7に示すDOUT LSB)はそのままダウンカウンタ20a~20nにセットされる。これにより、ダウンカウンタ20a~20nではmビットのタイミングデータで示されるタイミングがダウンカウントされることになる。

【0052】

一方、MODEが立っているとき、すなわちモード信号“H”(“1”)のときは、タイミングデータの有効ビットは半分($m/2$ ビット)となるので、ロード切替回路50のセレクト入力“L”レベルにする。これにより、ダウンカウンタ20にセットされるデータはLSB側のタイミングデータ(図7に示すDOUT LSB)だけになり、有効ビット数は $m/2$ となり、 $m/2$ ビットのタイミングデータで示されるタイミングがダウンカウントされることになる。

ダウンカウンタ20a~20nの次段には、第一実施形態と同様のORゲート23が備えられ、さらに次段には図示しないタイミングデータ選択回路60が備えられる。これらは第一実施形態と同様に動作するものであり、詳細な説明は省略する。

【0053】

なお、本実施形態では、図7に示すように、mビットダウンカウンタはモード信号の切替に拘わらず接続構成は不変となっているが、これを、第一実施形態で示したカスケードに接続切替可能な構成とすることも勿論可能である。

その場合には、モード信号“H”(“1”)のときに有効データビット数が $m/2$ となるように、 $m/2$ ビットのダウンカウンタ20a~0nで図3で示した構成となるように予めカウンタを組んでおく。これにより、MODE=0では(図3

と同様に) $m/2$ ビットのダウンカウンタ $20a \sim 20n$ を 2 つカスケード接続となるようにセレクタを組み (図 3 のセレクタ $50a \sim 50c$ 参照)、 N 相 m ビットダウンカウンタとし、 $MODE=1$ では $2N$ 相 $m/2$ ビットダウンカウンタとして動作させることができる。

このようなカウンタ構成にすると、 $MODE=1$ のときはテストレートに対してその $2N$ 倍のタイミングエッジ出力を可能にできる利点がある。

【0054】

以上のような構成からなる本実施形態のタイミング発生回路によれば、TMM 10 のメモリ領域をデータのビット幅方向に分割することができ、一のタイミングデータから複数のタイミングデータを出力させることができる。

そして、この複数のタイミングデータの中から一のタイミングデータを選択することにより、タイミングデータの遅延量は少なくなるが、TS 数を増加することができる。例えばアドレス深さが 2 倍のデータセット数のタイミングデータを出力させることができる。

これにより、TMM 10 の回路構成を変えることなく、タイミングセット数を増加させることができ、各 IC テスタに最適なタイミングセット数を備えたタイミング発生回路を低コストで容易に得ることができる。

【0055】

以上、本発明のタイミング発生回路について、好ましい実施形態を示して説明したが、本発明に係るタイミング発生回路は、上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

例えば、上述した第一及び第二実施形態では、TMM のメモリ領域を均等に 2 分割する例を示したが、メモリ領域の分割は均等でなくても良く、また、分割数も 2 分割には限られない。

【0056】

図 8 に示すように、TMM 10 のメモリ領域をデータビット幅方向に分割する場合に、分割するビット数を不均等にすることもできる。

図 8 (a) では、 $Adr: 0 \sim Adr: n/2 - 1$ では $m-1$ ビットのタイミングデ

ータ遅延が記憶可能で、 $\text{Adr} : n/2 \sim \text{Adr} : n-1$ では1ビット分のみの遅延が記憶できる。

同様に、図8(b)の場合は、 $\text{Adr} : 0 \sim \text{Adr} : n/2-1$ では $m-3$ ビットのタイミングデータ遅延が記憶可能で、 $\text{Adr} : n/2 \sim \text{Adr} : n-1$ では3ビット分のみの遅延が記憶できる。

また、図9に示すように、タイミングデータをビット幅方向で4分割することもでき、この場合には、タイミング遅延を示すビット数は $m/4$ となるが、アドレス数(TS数)は $4n$ となる。この場合、アドレスビット数として2ビット増加させれば良い。

【0057】

このように、本発明のTMMは、設定可能なタイミング遅延の最大値とTS数を任意に異ならせることができる。従って、1ビットずつ切替を可能にすれば、 $n \times m$ の総ビット数で構成される面積が一定ならば、仮想したメモリの形は自由に設定、変更できるようになる。

当然のことであるが、上述した第一及び第二実施形態を組み合わせることで、アドレス方向とデータビット幅方向の双方向でのメモリ領域の分割を共存させることも可能であり、この場合にも、2ビットのモード信号により切替可能となる。例えば、以下のようにモード信号を設定することができる。

- ①モード信号00：通常モード（従来と同様）
- ②モード信号01：データ遅延増加モード（第一実施形態）
- ③モード信号10：TS数増加モード（第二実施形態）

【0058】

【発明の効果】

以上説明したように、本発明のタイミング発生回路によれば、タイミングデータを格納したタイミングメモリの構成を変えることなく、最大遅延量を大きくしたり、タイミングセット数を増加させることができる。

これにより、一種類のハードウェア構成により複数種類のTGを実現することができ、ローコストなデバイス測定が可能となるタイミング発生回路と半導体試験装置を提供することができる。

【図面の簡単な説明】**【図 1】**

本発明の第一実施形態に係るタイミング発生回路のタイミングエッジ生成部を示す回路ブロック図である。

【図 2】

図 1 に示すタイミングエッジ生成部のタイミングメモリにおけるタイミングデータ長の切替えを概念的に示す説明図である。

【図 3】

図 1 に示すタイミングエッジ生成部のダウンカウンタの詳細を示す回路ブロック図である。

【図 4】

本発明の第一実施形態に係るタイミング発生回路におけるモード切替えによって得られるタイミングデータの詳細を示す表である。

【図 5】

本発明の第二実施形態に係るタイミング発生回路のタイミングメモリにおけるタイミングセット数の切替えを概念的に示す説明図である。

【図 6】

本発明の第二実施形態に係るタイミング発生回路のタイミングメモリの内部構成を示す回路ブロック図である。

【図 7】

本発明の第二実施形態に係るタイミング発生回路のダウンカウンタの詳細を示す回路ブロック図である。

【図 8】

本発明の第二実施形態に係るタイミング発生回路の変更例を概念的に示す説明図であり、タイミングメモリのメモリ領域をデータビット幅方向に不均等に分割した場合である。

【図 9】

本発明の第二実施形態に係るタイミング発生回路の変更例を概念的に示す説明図であり、タイミングメモリのメモリ領域をデータビット幅方向に均等に 4 分割

した場合である。

【図 10】

従来のタイミング発生回路のタイミングエッジ生成部を示す回路ブロック図である。

【図 11】

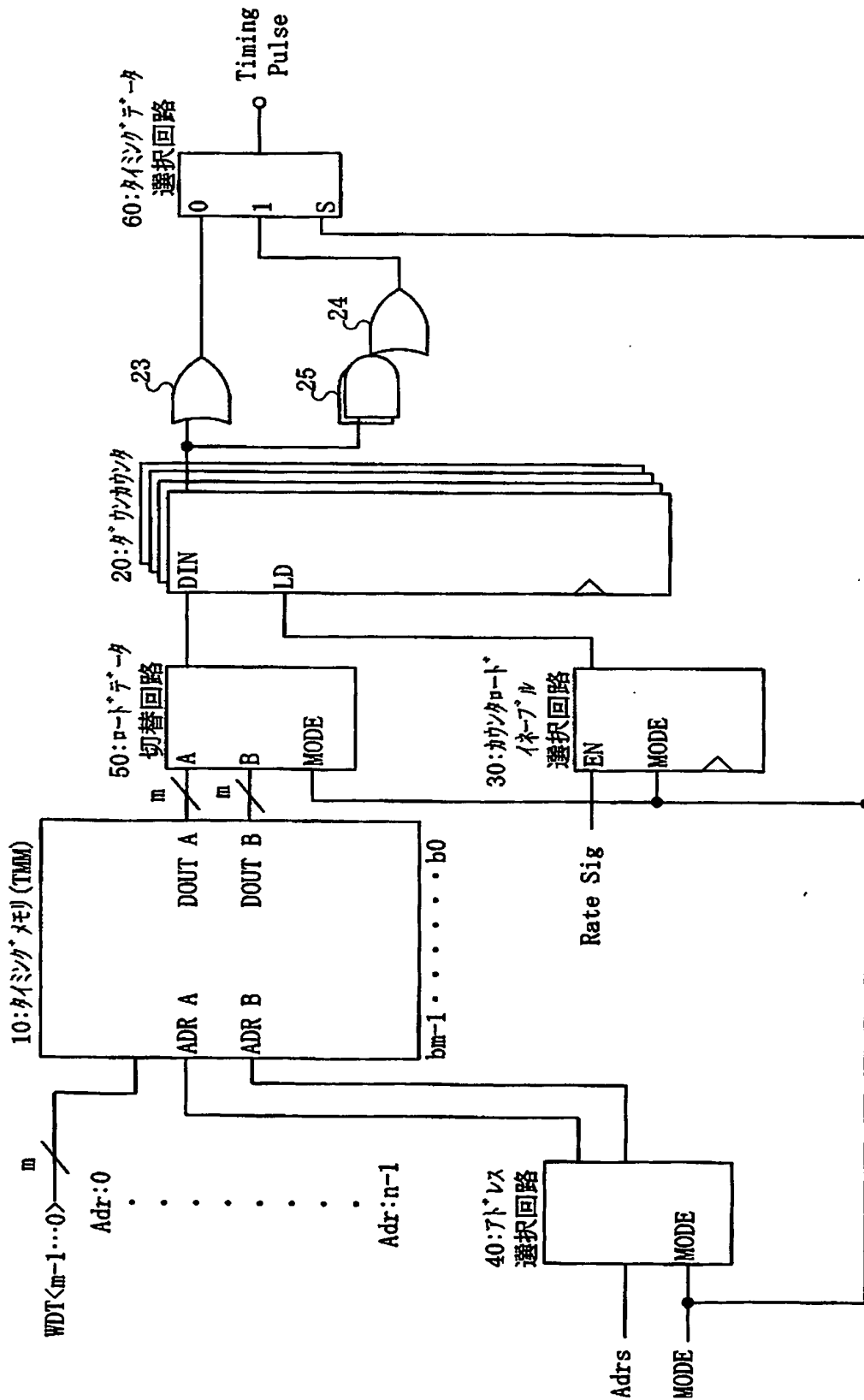
図 10 に示すタイミングエッジ生成部のダウンカウンタの詳細を示す回路ブロック図である。

【符号の説明】

- 10 タイミングメモリ (TMM)
- 20 ダウンカウンタ
- 30 カウンタロードイネーブル選択回路
- 40 アドレス選択回路
- 50 ロードデータ切替回路
- 60 タイミングデータ選択回路
- 70 タイミングデータ分割回路

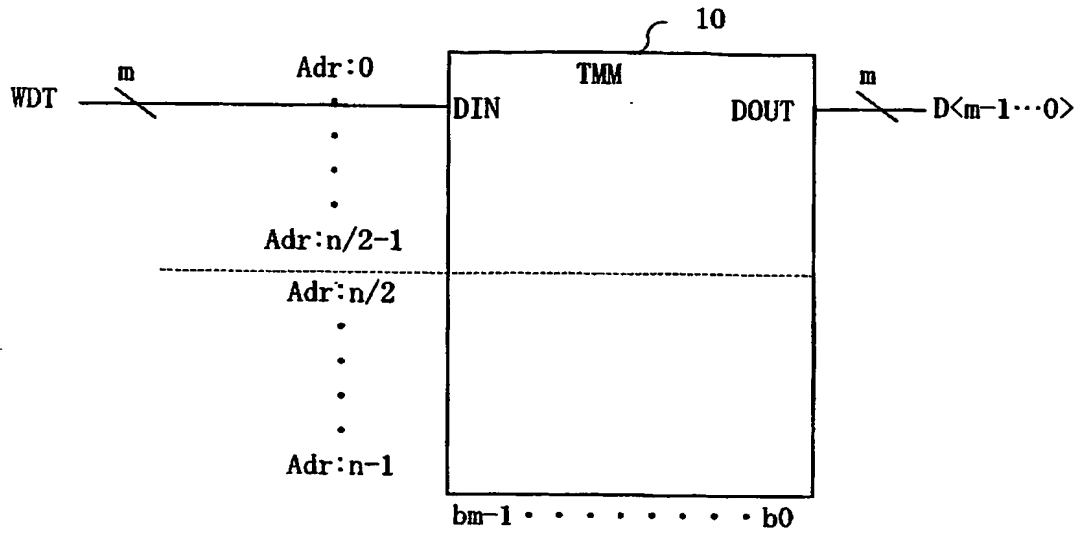
【書類名】 図面

【図 1】

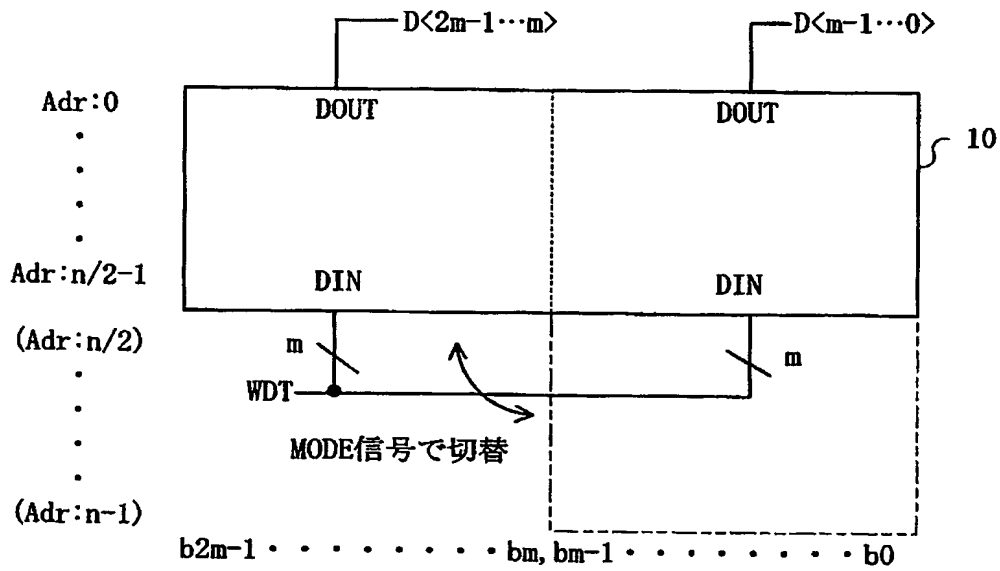


タイミグ発生回路 (タイミグエッジ生成部)

【図 2】

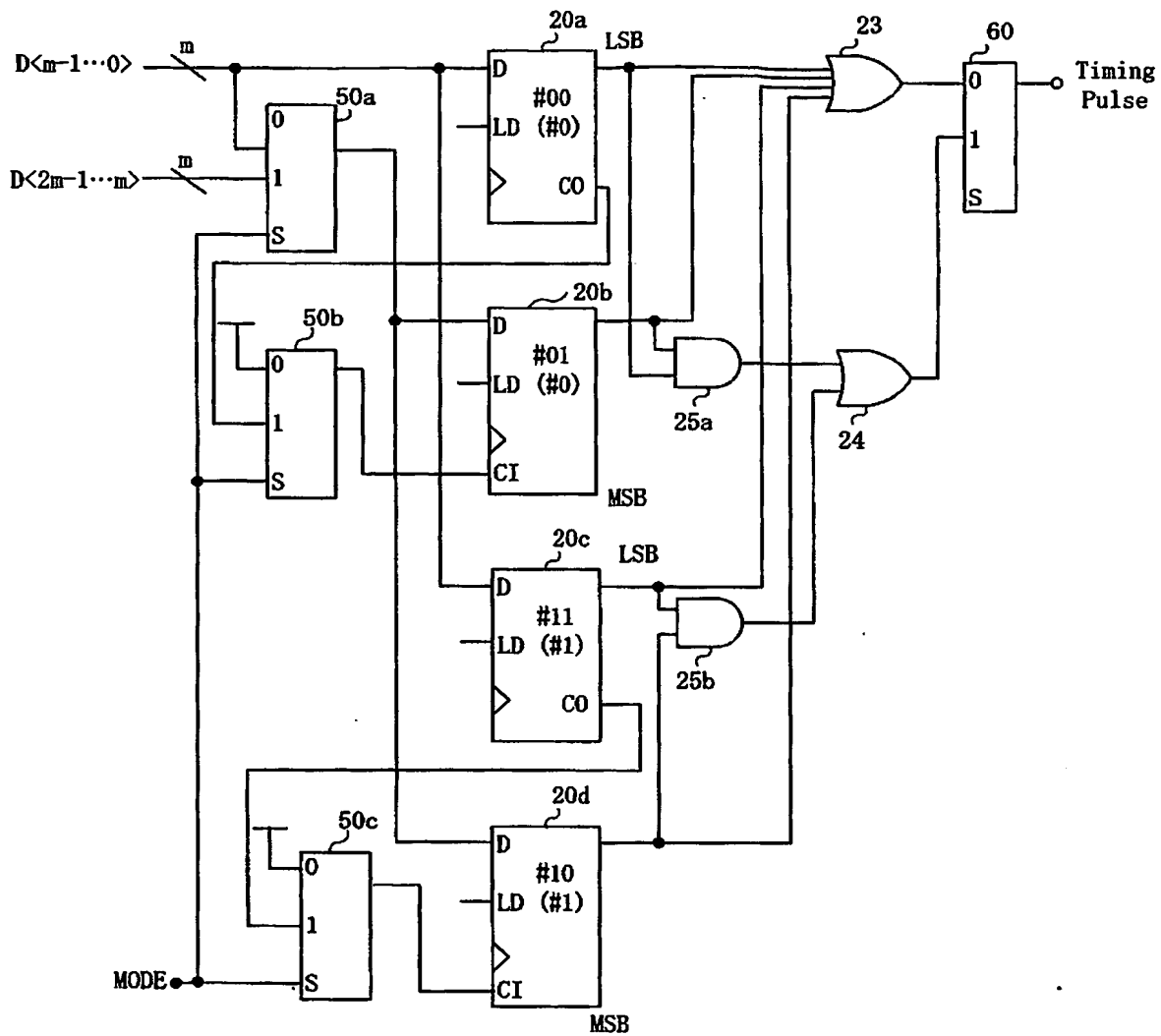


(a)



(b)

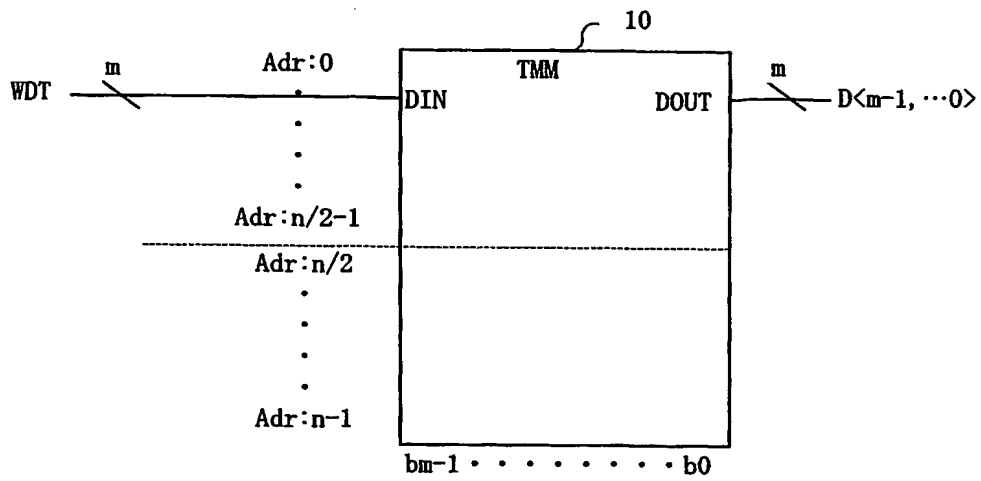
【図 3】



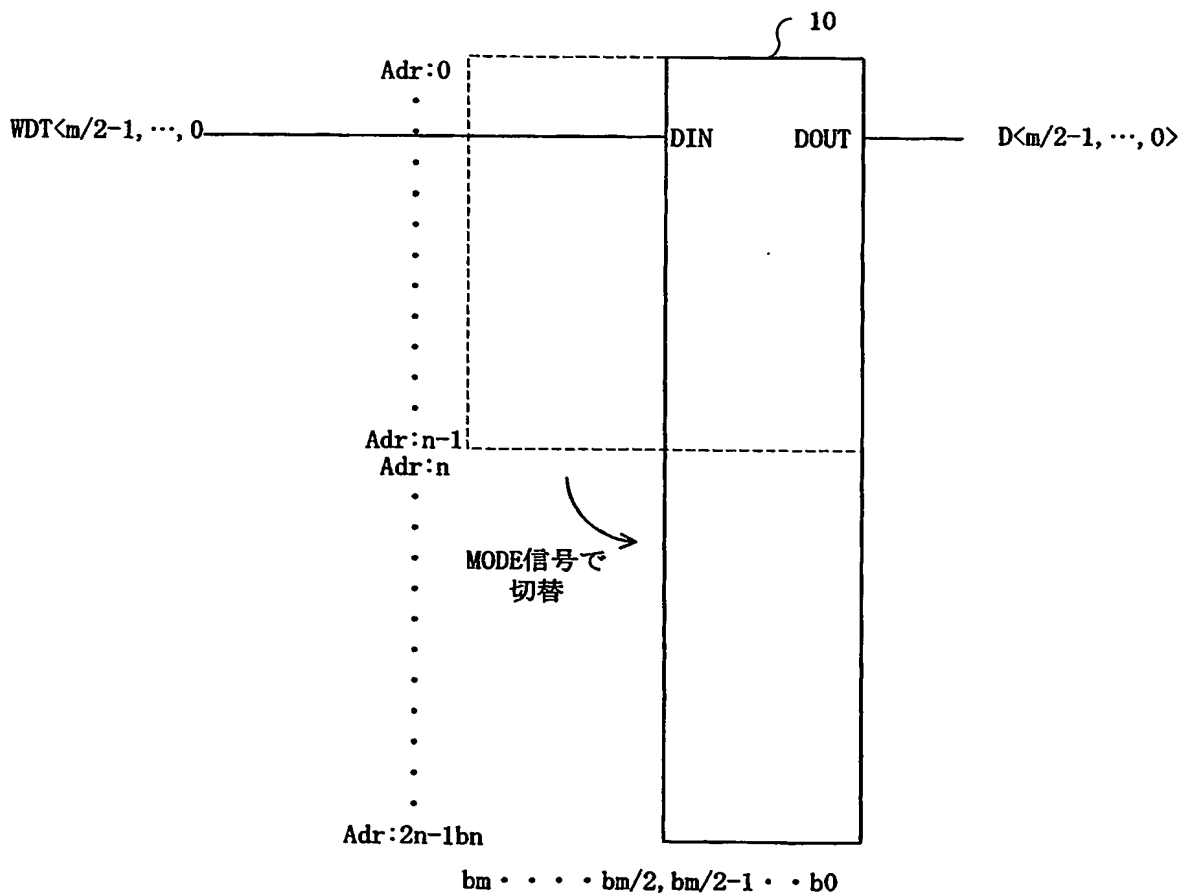
【図 4】

| TMM | | | | ダウンカウンタ | | |
|--------------------|-------------------|----------|-------------|---------|--------|--|
| | 総ラッチ数 | 設定デューティ幅 | メモリ深さ (TS数) | 相数 | bit数/相 | 最大タイミグ遅延 |
| 標準遅延TG (mode=0) | $n \times m$ | m | n | 4 | m | $\text{SysCLK}(2^m - 1), m=1 \dots m$ |
| 長遅延TG (mode=1) | $n / 2 \times 2m$ | $2m$ | $n / 2$ | 2 | $2m$ | $\text{SysCLK}(2^M - 1), 1 \leq M \leq 2m$ |

【図 5】

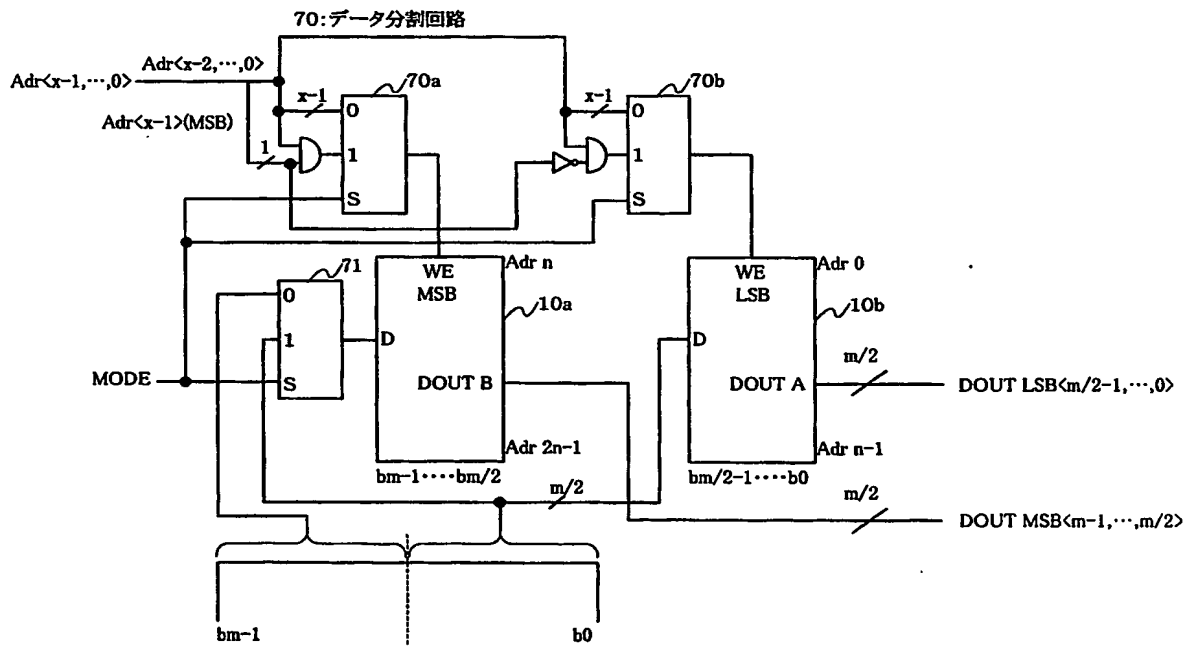
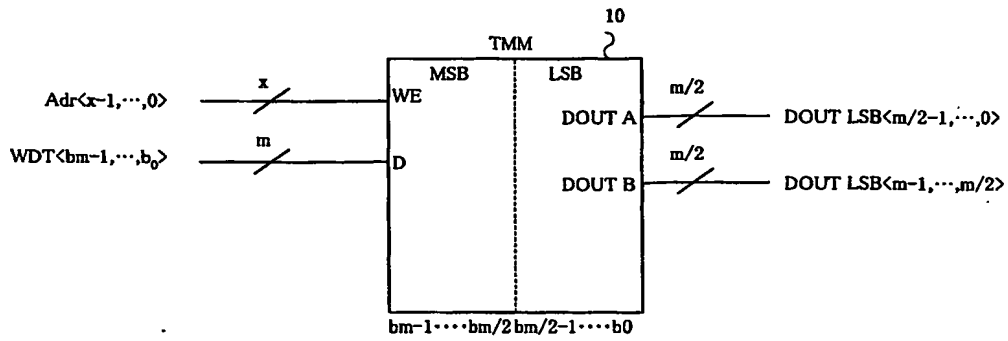


(a)

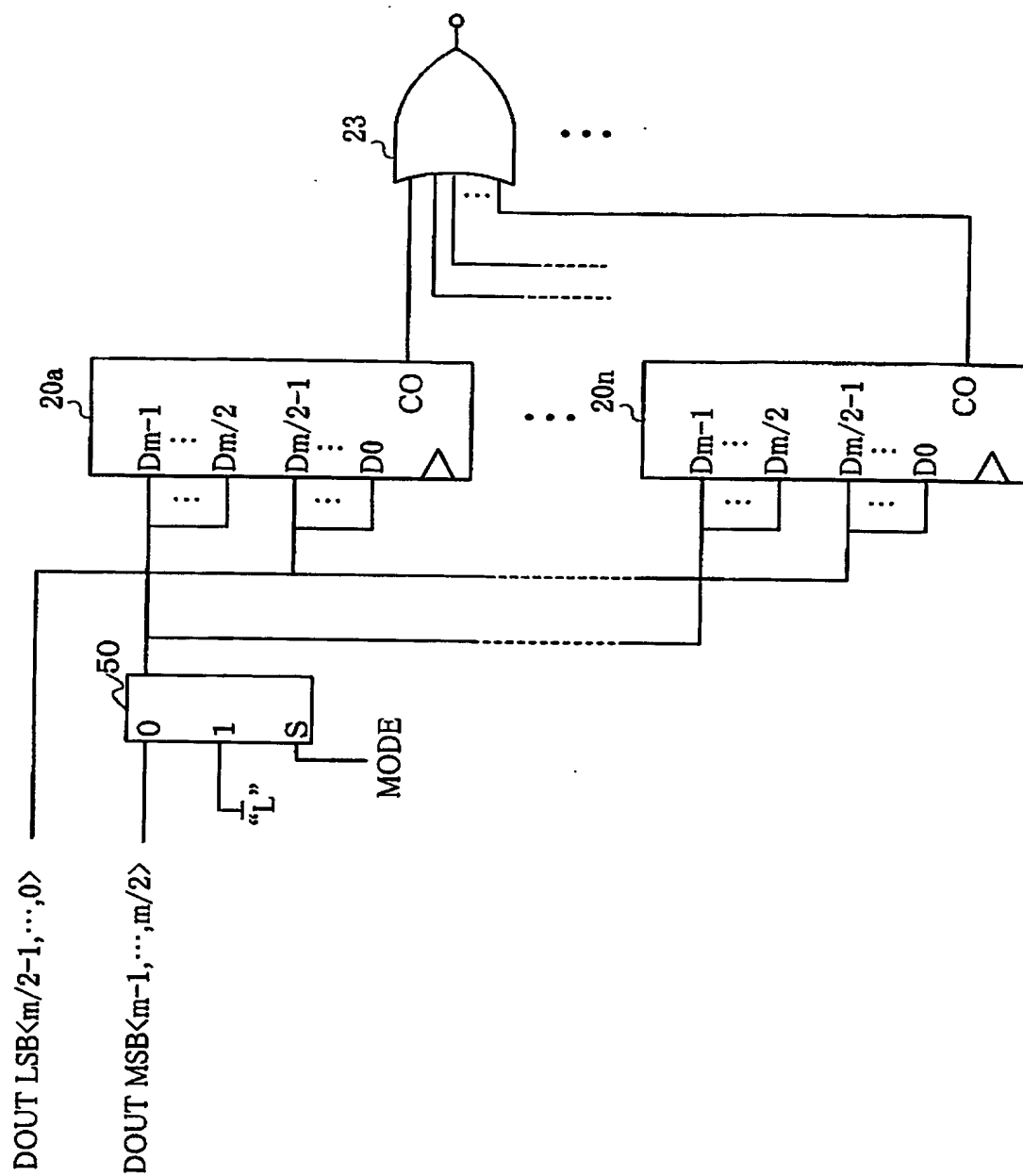


(b)

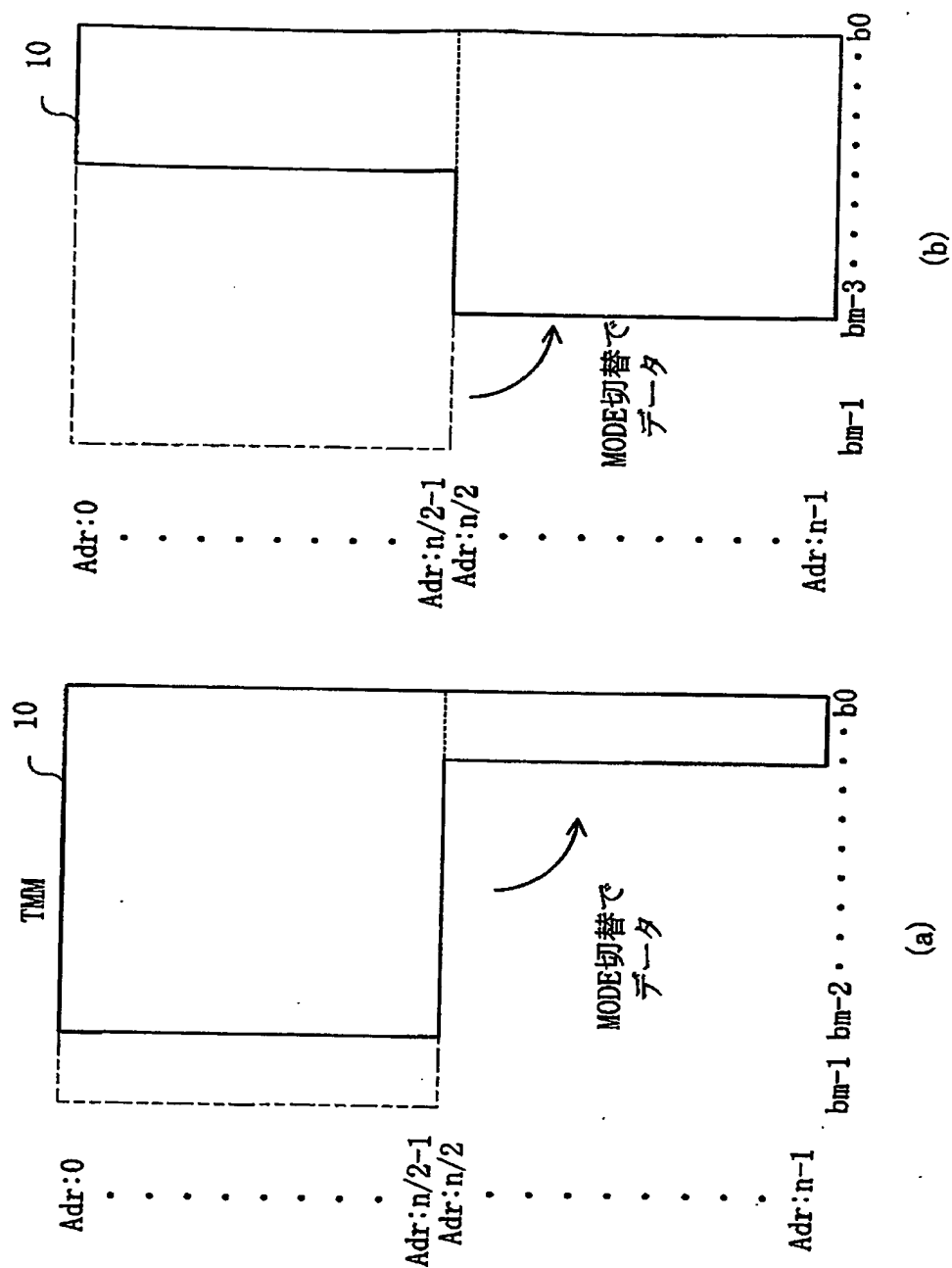
【図 6】



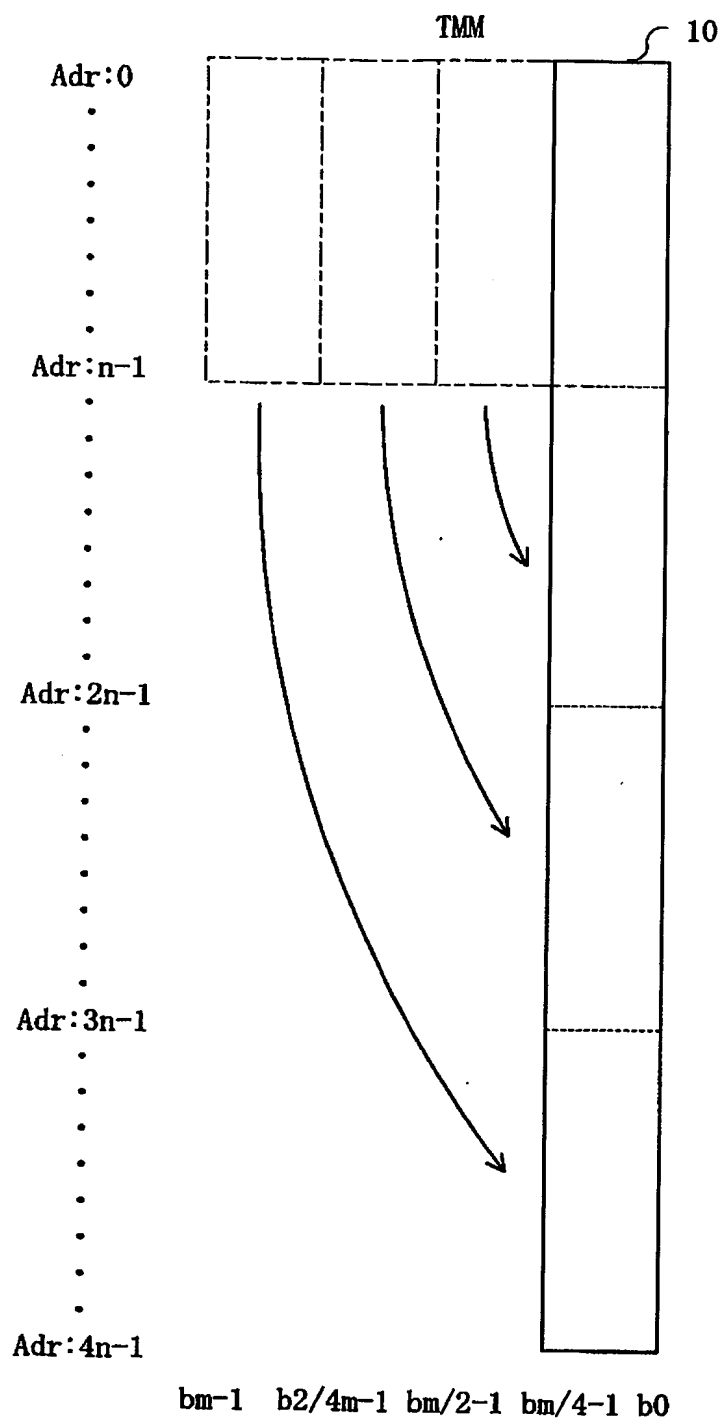
【図 7】



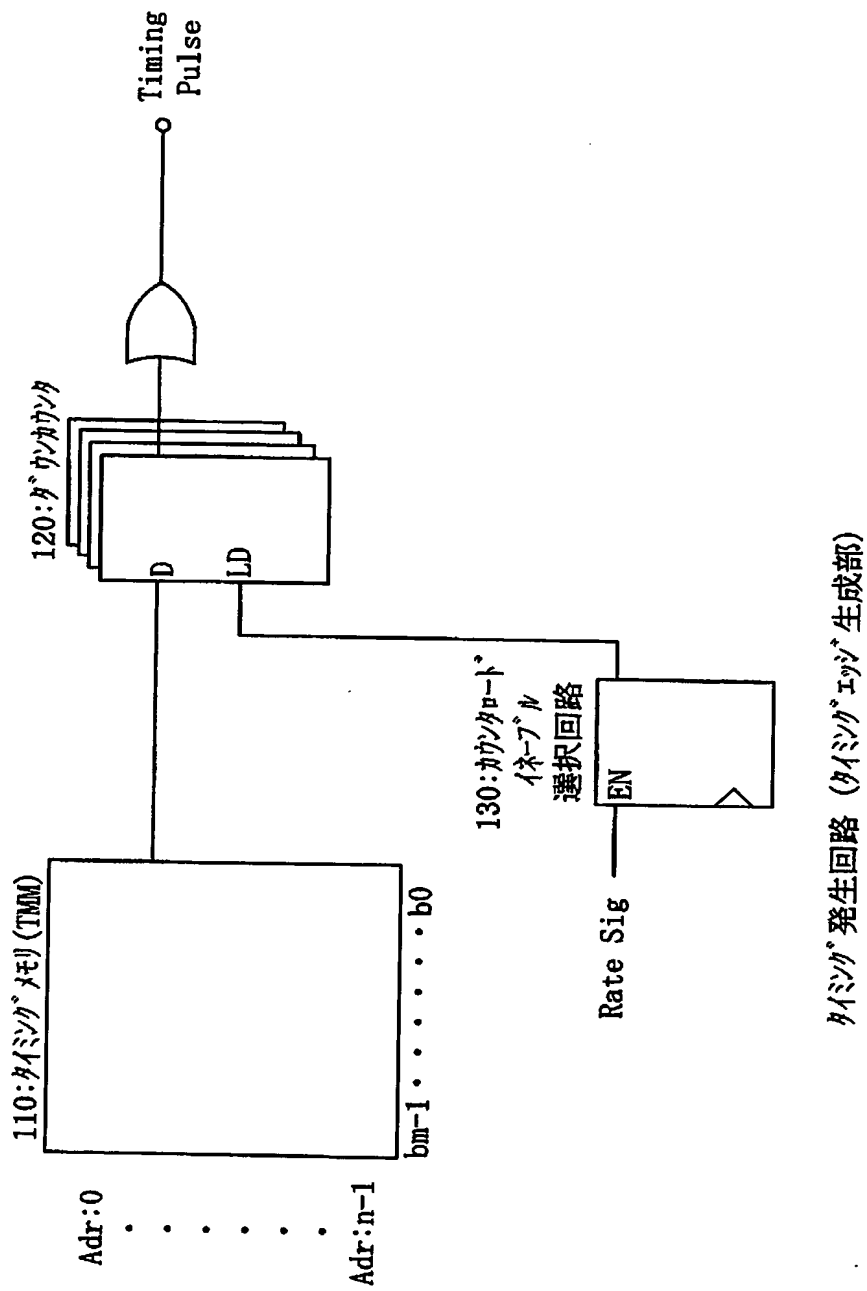
【図 8】



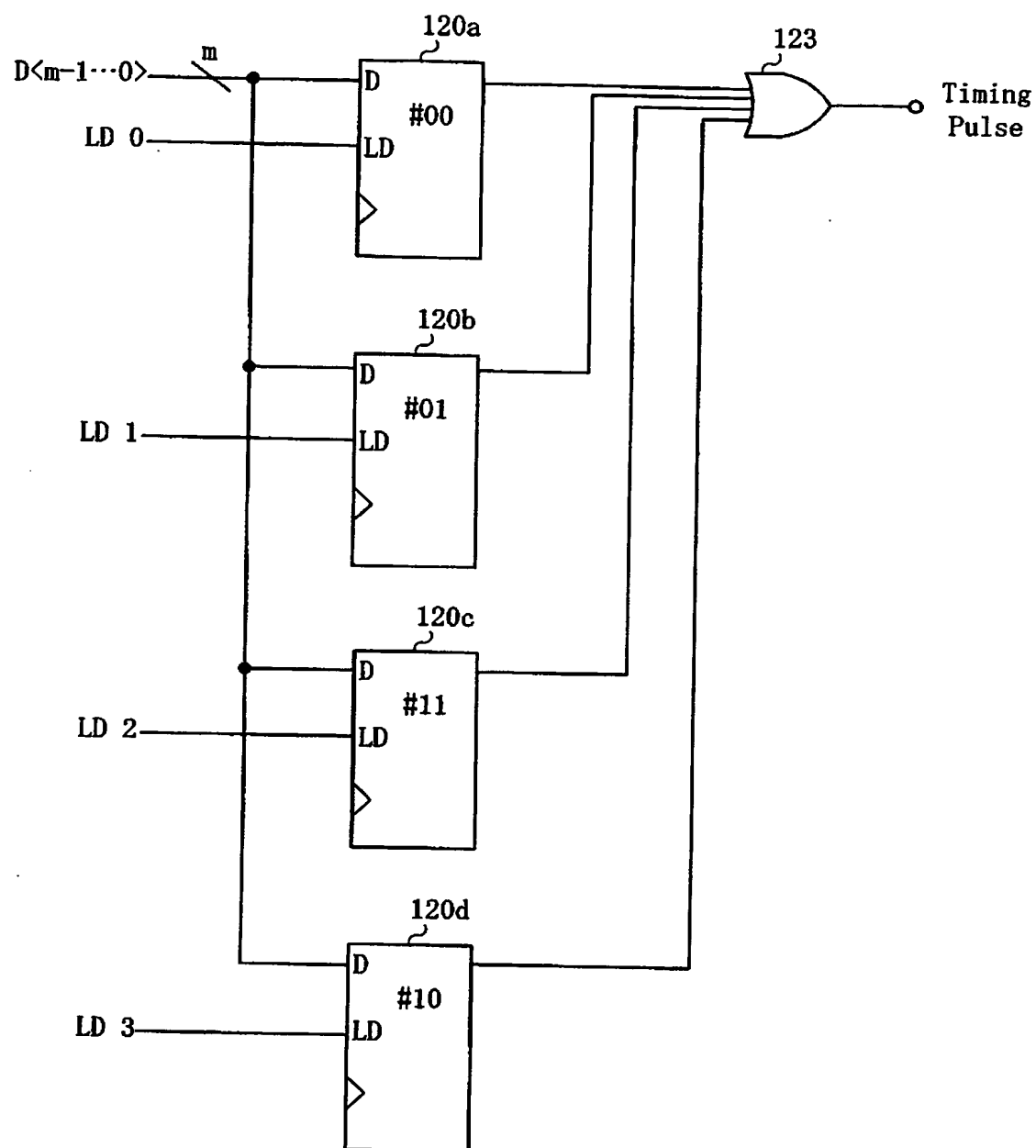
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 タイミングデータを格納したタイミングメモリの構成を変えることなく、最大遅延量を大きくできる。

【解決手段】 所定のタイミングデータを格納したタイミングメモリ (TMM) 10と、TMM10から出力されるタイミングデータをロードし、タイミングデータが示すタイミングでパルス信号を出力する複数のダウンカウンタ20と、切替によりTMM10のアドレスを1個又は2個指定し、該当する1個又は2個のタイミングデータを出力させるアドレス選択回路40と、TMM10から2個のタイミングデータが出力されるときに、当該2個のタイミングデータをカスケードした2個のダウンカウンタ20にロードして一のタイミングのパルス信号を出力させるロードデータ切替回路50と、ダウンカウンタ20から出力される1個又は2個のタイミングデータに基づくパルス信号のいずれかを選択するタイミングデータ選択回路60を備えている。

【選択図】 図1

特願 2 0 0 2 - 3 6 2 3 9 2

出 願 人 履 歴 情 報

識別番号 [3 9 0 0 0 5 1 7 5]

| | |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 1 0 月 1 5 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都練馬区旭町 1 丁目 3 2 番 1 号 |
| 氏 名 | 株式会社アドバンテスト |